

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

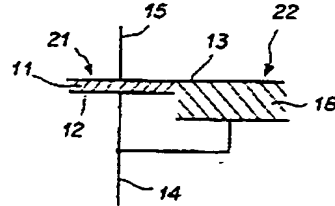
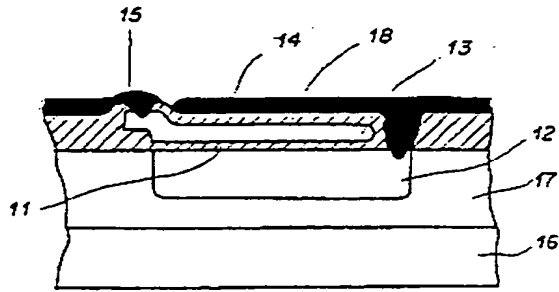
PUBLICATION NUMBER : 63150955  
PUBLICATION DATE : 23-06-88  
APPLICATION DATE : 15-12-86  
APPLICATION NUMBER : 61296735

APPLICANT : HITACHI MEDICAL CORP;

INVENTOR : MORIYA ATSUSHI;

INT.CL. : H01L 27/04 A61B 6/03 G01N 23/04  
G01T 1/17 H01L 27/06 H01L 27/08

TITLE : MEASURING CIRCUIT FOR X-RAY CT  
APPARATUS



ABSTRACT : PURPOSE: To obtain a phase compensating capacitor having a small area and a large capacity of an operational amplifier in an IC by a Bi-CMOS process by extending a conductive metal film onto a second  $\text{SiO}_2$  film to cover the  $\text{SiO}_2$  film with the metal film in an IC pattern designing circuit.

CONSTITUTION: An aluminum film 18 of an IC by a Bi-CMOS process is extended onto a second  $\text{SiO}_2$  film 18 to be covered. According to this, a structure in which two capacitors 21, 22 are connected in parallel is obtained. One is, similarly to the conventional one, a first capacitor 21 in which a first  $\text{SiO}_2$  film 11 is used as a dielectric, a P-type region 12 as a lower electrode and a polycrystalline silicon 13 as an upper electrode. The other one is a second capacitor 22 in which a second  $\text{SiO}_2$  film 18 as a dielectric, the film 18 conducted with the region 12 as a lower electrode, and the silicon 13 (which is conducted with an aluminum film 15) as an upper electrode. The capacity of the phase compensating capacitor is, according to a conventional configuration, the sum of the capacity of the capacitor 21 and the capacity of the capacitor 22, thereby performing an increase in capacity with the same area.

COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-150955

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988) 6月23日

H 01 L 27/04  
A 61 B 6/03  
G 01 N 23/04  
G 01 T 1/17  
H 01 L 27/06  
H 01 L 27/08

3 2 1  
3 2 1

C-7514-5F  
Z-7232-4C  
2122-2G  
G-8406-2G  
7735-5F  
L-7735-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 X線CT装置用計測回路

⑯ 特 願 昭61-298735

⑰ 出 願 昭61(1986)12月15日

⑱ 発 明 者 武 田 也 男 志 千葉県柏市新十番二番1号 株式会社日立メデイコ研究  
開発センター内

⑲ 発 明 者 麻 殖 生 健 二 東京都分府寺市京恋ヶ窪1丁目280番地 株式会社日立製  
作所中央研究所内

⑳ 発 明 者 森 谷 淳 千葉県柏市新十番二番1号 株式会社日立メデイコ研究  
開発センター内

㉑ 出 願 人 株式会社 日立メデイ  
コ 東京都千代田区内神田1丁目1番14号

㉒ 代 理 人 弁理士 秋本 正実

明 和 書

1. 発明の名称  
X線CT装置用計測回路

2. 特許請求の範囲

BI-CMOS プロセスによる集積回路中のバイポー  
トランジスタ及びMOSトランジスタを用いて、  
必要とするオペアンプ及びアナログスイッチが構  
成されたX線CT装置用計測回路において、前記  
集積回路に内蔵させる前記オペアンプの位相補償  
用コンデンサは、前記集積回路におけるSi基板  
上方の拡散領域上に形成される第1SiO<sub>2</sub>膜部と、こ  
の第1SiO<sub>2</sub>膜部上に形成される多結晶Si層と、こ  
の多結晶Si層上に形成される第2SiO<sub>2</sub>膜部と、こ  
の第2SiO<sub>2</sub>膜部上に形成され、前記拡散領域に導  
通する第1導電性金属膜と、前記多結晶Siと導通  
する第2導電性金属膜とを備え、前記第1及び第  
2導電性金属膜を両端電極として用いてなること  
を特徴とするX線CT装置用計測回路。

3. 発明の詳細な説明  
(産業上の利用分野)

本発明は、BI-CMOS プロセスによる集積回路を  
用いて構成されたX線CT装置用計測回路の改良  
に関するものである。

(従来の技術)

X線CT装置用計測回路としては、第3図に示  
すような回路が知られている。第3図において、  
1はX線検出器、2は1V変換器、3は積分器、  
3aは積分器3中のオフセット電流、電圧補償回  
路である。AMP 1~AMP 3はオペアンプ、SW 1~  
SW 4はアナログスイッチ、C 1は積分コンデンサ  
である。なお、第3図は計測回路の1チャンネル  
分を示した図で、したがって実際には1つのX線  
CT装置には図示回路が全チャンネル分設けられ  
ている。

さて、第3図の回路は、X線検出器1からの信  
号電流を1V変換器2で電圧に変換し、後段の積  
分器3により積分する回路である。そして積分器  
3には、オフセット電流及びオフセット電圧を補  
償するための回路3aが付加されている。

従来、このような多数のアンプAMP 1~AMP 3

からなる計測回路を足積回路(以下、ICと略称する)化しようとした場合、次のような問題点があった。すなわち、第3図に示した回路のように、用途がX線CT装置用というように限られている場合、取扱いの容易さ、ICの外付部品数の低減化などから、オペアンプAMP 1~AMP 3の位相補償用コンデンサ(図示せず)はICに内蔵させるようにしている。従来、この位相補償用コンデンサは、BI-CMOSプロセスによるIC内に構成する場合、第4図に示す構造となっていた。すなわち、第1SiO<sub>2</sub>膜部11を誘電体として用い、拡散領域であるP型領域12を下部電極、多結晶Si13を上部電極とし、それらに導通する導電性金属膜、通称はA膜14、15をコンデンサ両端電極として用いているものである。なお、第4図中16はP型Si板、17はN型エピタキシャル層、18は第2SiO<sub>2</sub>膜部である。

(発明が解決しようとする問題点)

上述位相補償用コンデンサにおいて、その静電容量(以下、単に容量という)Cは動記上、下部

電極の対向面積に比例するため、これを大きくするとIC内で大きな素子面積を占めることになる。

したがって、第3図に示したX線CT装置用計測回路をIC化して各々のアンプAMP 1~AMP 3に上述位相補償用コンデンサに接続した場合、ICの全チップ面積に対する上述コンデンサ全体の占める面積の割合は大きなものとなる。そしてこれは、第3図に示した回路を複数、すなわち複数チャンネル分を1組として1つのICに組込もうとする場合に、その組込数を低減させる大きな原因になっていた。

1つのICへの回路組込数を多くするには、上述コンデンサの容量を小さくし、アンプAMP 1~AMP 3の周波数帯域を広げればよい。しかしこれでは、IC内で積分器3から1V変換器2への、帯域容量などを介しての信号伝達により発振を生ずることが多く、このため上述コンデンサの容量は大きい方が望ましい。

他方、1V変換器2の後段に、積分器3に代えてサンプル・ホールド回路(図示せず)を設ける

場合がある。この場合には、サンプル・ホールド回路は広い周波数帯域が必要であるため、これに使用されるオペアンプの位相補償用コンデンサの容量は小さい方が望ましい。

以上のように、X線CT装置用計測回路のIC化においては、相矛盾する要望点があり、大きな問題点となっていた。

本発明は、上述したような問題点を解消するためになされたもので、基本的には小面積で大きな容量の位相補償コンデンサが得られ、1つのICへの計測回路チャンネルの組込数を増加させることができ、かつ位相補償コンデンサの容量を小さくする設計変更も容易になり得るIC化されたX線CT装置用計測回路を提供することを目的とする。

(問題点を解決するための手段)

本発明は、従来のICパターン設計回路における導電性金属膜を第2SiO<sub>2</sub>膜部上にまで延長、接合形成させることにより、BI-CMOSプロセスによるIC中のオペアンプの位相補償用コンデンサの

容量を同一面積で増大させたものである。

(作用)

上述したように、従来回路における第2SiO<sub>2</sub>膜部上に導電性金属膜を延長、接合形成すれば、ICの層方向に2つのコンデンサ部が形成され、またそれだけでそれら2つのコンデンサ部が並列接続されることになる。したがって従来とほぼ同様の面積で位相補償用コンデンサの容量を増大させることができる。また、上述したように従来回路における第2SiO<sub>2</sub>膜部上に単に導電性金属膜を延長、接合形成するだけでよいので、従来のパターン設計による回路におけるIC化プロセスに何ら変更を必要とせずに本発明回路構成をなし得る。したがって同時に、本発明パターン設計による回路から従来パターン設計による回路への構成の変更、すなわち位相補償用コンデンサの容量を小さくする設計変更も容易である。

(実施例)

以下、図面を参照して本発明の実施例を説明する。第1図は本発明によるX線CT装置用計測回

路の一実施例の要部を示す断面図で、同回路を構成するBi-CHOSプロセスによるIC中のオペアンプの位相補償用コンデンサの構成部分を示す。この第1図から分かるように、本発明パターン設計回路の位相補償用コンデンサは、前記ICにおけるSi基板、ここではP型Si基板16上のN型Siエピタキシャル層17内に形成される、拡散領域であるP型領域12と、このP型領域12上に形成される第1SiO<sub>2</sub>膜部11と、この第1SiO<sub>2</sub>膜部11上に形成される多結晶Si層13と、この多結晶Si層13上に形成される第2SiO<sub>2</sub>膜部18と、この第2SiO<sub>2</sub>膜部18上に形成され、前記P型領域12に導通する導電性金属膜、通常はA<sub>2</sub>膜19と、前記多結晶Siと導通する導電性金属膜、通常はA<sub>2</sub>膜15とを備えてなる。この場合、前記A<sub>2</sub>膜18、15を位相補償用コンデンサの両端電極として用いる。

すなわち本発明構成は、第4図と比較して明らかのように、Bi-CHOSプロセスによるIC中のA<sub>2</sub>膜18を第2SiO<sub>2</sub>膜部18上にまで延長、被い形成したものである。これによると、それだけで第2図

に示すように2つのコンデンサ部21,22が並列接続された構成が得られる。1つは従来と同様に、第1SiO<sub>2</sub>膜部11を誘電体とし、P型領域12を下部電極、多結晶シリコン13を上部電極とする第1コンデンサ部21である。またもう1つは、第2SiO<sub>2</sub>膜部18を誘電体とし、P型領域12に導通するA<sub>2</sub>膜18を下部電極、多結晶シリコン13（これはA<sub>2</sub>膜15に導通している）を上部電極とする第2コンデンサ部22である。

したがって本発明構成によれば、位相補償用コンデンサの容量は、従来構成によると同様の第1コンデンサ部21の容量と、第2コンデンサ部22の容量を加えたものとなり、同一面積による容量の増大が達成できる。

一例を述べれば、第2SiO<sub>2</sub>膜部18の厚さは、一般に第1SiO<sub>2</sub>膜部11の厚さの5倍程度であるため、従来構成のコンデンサと同面積で約20% (=1/5)の容量を増大させることができる。また、同じ容量を得るには、従来構成のコンデンサより約17% (=1/6)の面積を縮小させることができる。

なお、上述実施例におけるP型Si基板16をN型Si基板に、N型エピタキシャル層17をP型エピタキシャル層に、P型領域12をN型領域に、各々置き換えて構成してもよい。2A<sub>2</sub>膜15、16も他の導電性金属膜に換えてよい。

また、Bi-CHOSプロセスによるICに計測回路を組込む場合、本発明構成と従来構成を適宜混在させ、前者を前記1V変換器2、後者を前記サンプル・ホールド回路の各オペアンプの位相補償用コンデンサとして用いるように構成してもよい。これによれば、1V変換器2のオペアンプはその位相補償用コンデンサの容量を大きくして動作を安定化し、サンプル・ホールド回路のオペアンプは同コンデンサの容量を小さくして周波数帯域を広くさせることができる。しかもその際のコンデンサ面積を、トータルとして減少させることができる。

#### 〔発明の効果〕

以上述べたように本発明によれば、従来と同様の面積で位相補償用コンデンサの容量を増大させ

ことができ、1つのICへ組込める計測回路チャンネル数を増加させることができる。またその構成も、従来構成における第2SiO<sub>2</sub>膜部上に単に第1導電性金属膜を延長、被い形成するだけでよいので、従来構成におけるIC化プロセス(Bi-CHOSプロセス)に何ら変更を必要とせず本発明構成をなし得る。したがって同時に、本発明構成から従来構成への変更、すなわち位相補償用コンデンサの容量を小さくする設計変更も容易で、積分器からサンプル・ホールド回路への変更が簡単に行えるなどの効果がある。

#### 4. 図面の簡単な説明

第1図は本発明パターン設計回路の一実施例の要部を示す断面図、第2図は第1図に示されたコンデンサの回路構成説明図、第3図はX線CT装置用計測回路を示す図、第4図は従来のパターン設計回路の要部を示す断面図である。

AMP 1～AMP 3…オペアンプ、SW1～SW4…アナログスイッチ、11…第1SiO<sub>2</sub>膜部、12…P型領域（拡散領域）、13…多結晶シリコン、14、15…

東京電機金工院、16—P型Si基板、17—N型エピタキシャル層、18—第2SiO<sub>2</sub>膜部。

時 許 出 願 人      株式会社 日正ノアール  
代理人 弁理士      秋 本 正 実